

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Publication number: JP62045161 (A)

Publication date: 1987-02-27

Inventor(s): YAMAMOTO YUKIO; FURUKI AKIRA

Applicant(s): HITACHI LTD

Classification:

- international: H01L27/04; H01L21/822; H01L27/02; H01L27/04; H01L21/70; H01L27/02; (IPC1-7): H01L27/04

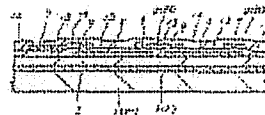
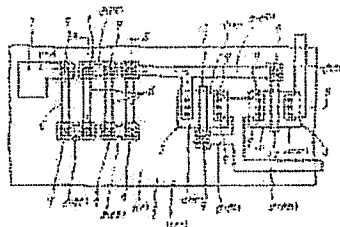
- European: H01L27/02B4F8

Application number: JP19850184138 19850823

Priority number(s): JP19850184138 19850823

Abstract of JP 62045161 (A)

PURPOSE: To protect resistance element from breakdown caused by current concentration and improve reliability of an IC by connecting a plurality of the straight resistance elements with conductive layers composed of different material from the resistance material. **CONSTITUTION:** A field insulating film 2 is provided on a P-type semiconductor substrate 1 and an N-channel type MISFET 4, an N-channel type clamping MISFET 5, resistance elements 6 and a bonding pad 7 are formed on it. Conductive layers 8 are connected to them through contact holes 9. The resistance element 6 are composed of polycrystalline silicon layers and arranged linearly and connected in series with conductive layers 8E. Therefore, curved parts are eliminated from individual resistance elements 6 and current concentration can be avoided so that the breakdown of the resistance elements can be avoided and the reliability of the IC can be improved.



Data supplied from the esp@cenet database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-45161

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)2月27日

H 01 L 27/04

P-7514-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭60-184138

⑰ 出 願 昭60(1985)8月23日

⑱ 発 明 者 山 本 幸 夫 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 古 木 晃 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体集積回路装置

特許請求の範囲

1. 直線状の複数の抵抗素子をそれと異なる導電層で直列に接続したことを特徴とする半導体集積回路装置。

2. 前記抵抗素子は、チップの外部端子に接続してあることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 前記抵抗素子は多結晶シリコン層からなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

4. 前記抵抗素子は半導体基板の表面の半導体領域からなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

発明の詳細な説明

[技術分野]

本発明は、抵抗素子に関するものであり、特に半導体集積回路装置の抵抗素子に適用して有効な技術に関するものである。

[背景技術]

MOSFETを備えた半導体集積回路装置に代表されるMIS型半導体集積回路装置では、一般に、ボンディングパッド、特に入力用のボンディングパッドに抵抗素子及びダイオード等のスイッチ素子を含む入力保護回路が接続される。入力端子に印加される過大な電気エネルギーによる半導体素子の破壊を防止するためである。

前記入力保護回路の抵抗素子を、その占有面積を小さくし、かつ所定の抵抗値を得るために、蛇行した形状にすることが考えられる。しかしながら、本発明者は、蛇行した抵抗素子が過大な電気エネルギーによって破壊されることを見出した。電流が抵抗素子の曲線部に集中するからである。

なお、過大な電気エネルギーによる半導体素子の破壊を防止する技術については、例えば特願昭59-152998号に記載されている。

[発明の目的]

本発明の目的は、半導体集積回路装置の信頼性を向上する技術を提供することにある。

本発明の他の目的は、抵抗素子の抵抗値を増大させ、かつ半導体集積回路装置の集積度を向上する技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、直線状の複数の抵抗素子をそれと異なる導電層で直列に接続したものである。

以下、本発明の構成について、実施例とともに説明する。

〔実施例1〕

第1図は、半導体集積回路装置の入力保護回路の平面図、第2図は第1図のA-A切断線における断面図、第3図は第1図のB-B切断線における断面図である。なお、第1図は構成を見易くするためにフィールド絶縁膜以外の絶縁膜を図示し

ン膜からなる。ゲート電極12は、リン、ヒ素等のn型不純物を含有させた多結晶シリコン層からなる。しかし、ゲート電極12は、前記多結晶シリコン層に限定されない。例えば、モリブデン(Mo)、タングステン(W)、タンタル(Ta)、チタン(Ti)等の高融点金属層で形成してもよい。また、その高融点金属のシリサイド層で形成してもよい。さらに、多結晶シリコン層の上に前記高融点金属層またはシリサイド層を設けて構成してもよい。ドレイン領域となるn⁺型半導体領域10には、導電層8Aを通して電源電位V_{cc}、例えば、5[V]を印加する。ソース領域となるn⁺型半導体領域10には、導電層8Bを通して接地電位V_{ss}、例えば0[V]を印加する。

N⁺型クランプ用MISFET5の構成はN⁺型MISFET4と同様の構成である。しかし、ゲート電極12と一方のn⁺型半導体領域10とが、導電層8Cを通して電気的に接続してある。すなわち、ダイオード形態に接続されている。他方のn⁺型半導体領域10は、導電層8Dによ

ていない。

第1図乃至第3図において、1はp⁺型半導体基板であり、表面に酸化シリコン膜からなるフィールド絶縁膜2が設けてある。また、フィールド絶縁膜2の下にp型チャネルストップ領域3が設けてある。

4はNチャネル型MISFET、5はNチャネル型クランプ用MISFET、6は抵抗素子、7はボンディングパッドであり、それらの間をアルミニウム層からなる導電層8が接続している。接続孔9を通してである。抵抗素子6とクランプ用MISFET5とで、半導体集積回路装置の入力保護回路を構成している。詳細については、後述する。

前記Nチャネル型MISFET4は、n⁺型半導体領域10、ゲート絶縁膜11、ゲート電極12とで構成してある。n⁺型半導体領域10は、リン(P)、ヒ素(As)等のn型不純物を半導体基板1の表面に導入してなる。ゲート絶縁膜11は、半導体基板1表面の酸化による酸化シリコ

で抵抗素子6とNチャネル型MISFET4のゲート電極12とに接続してある。ボンディングパッド7から流入した過大な電気エネルギーを抵抗素子6で減衰させた後、n⁺型半導体領域10と半導体基板1との間のサーフェイブレイクダウンによって半導体基板1内へ放出するためである。

抵抗素子6は、多結晶シリコン層からなる。この多結晶シリコン層には、リン、ヒ素等のn型不純物が導入してある。MISFET4及びクランプ用MISFET5のゲート電極12と同一工程で形成したからである。なお、MISFET4及びクランプ用MISFET5のゲート電極12を高融点金属層又はそのシリサイド層で形成する場合には、抵抗素子6をゲート電極12と別工程で形成すればよい。しかし、前記ゲート電極12を多結晶シリコン層の上に高融点金属層あるいはシリサイド層を設けて構成する場合には、そのゲート電極12と同一工程で形成することができる。次のようにすればよい。まず、ゲート電極12と同一工程で、多結晶シリコン層とこの上の高融点

金属層あるいはシリサイド層とからなる抵抗素子6を形成する。この後、抵抗素子6における多結晶シリコン層の上の高融点金属層あるいはシリサイド層をエッチングすればよい。エッチングは、抵抗素子6を露出するようなパターンのレジストマスクを半導体基板1上の全面に形成して行えばよい。

前記抵抗素子6は、第1図に示したように、直線状に形成してある。また、複数の直線状の抵抗素子6を導電層8Eで直列に接続してある。このため、個々の抵抗素子6には曲線部分がない。また、折曲げたような角部がない。このため、電流は抵抗素子6内を一様に流れる。すなわち、抵抗素子6内において、電流集中が行わない。したがって、ボンディングパッド7から流入した過大な電気エネルギーも抵抗素子6内を一様に流れる。このため、抵抗素子6が過大な電気エネルギーによって破壊されることがない。すなわち、抵抗素子6の信頼性が向上する。

なお、過大な電気エネルギーによるMISFE

T4またはクランプ用MISFET5の破壊を防止するためには、抵抗素子6の抵抗値を増大するのが好ましい。また、電流集中を防ぐためには、前記のように直線状の抵抗素子6がよい。しかし、一本の抵抗素子6で大きな抵抗値を得るためには、その抵抗素子6を長く延在させる必要がある。ところが、ボンディングパッド7とクランプ用MISFET5及びMISFET4との間を大きく離隔しなければならない。このため、半導体集積回路装置の集積度が低下する。

しかし、本実施例では、第1図に示したように、複数の抵抗素子6を並列に配置し、これらの抵抗素子6を導電層8Eで直列に接続してある。このため、ボンディングパッド7とクランプ用MISFET5及びMISFET4との間の間隔を縮小することができる。すなわち、半導体集積回路装置の集積度を向上できる。

また、複数の抵抗素子6を直列接続したことによって、抵抗素子6の長さの総和が長くなる。このため、抵抗値の総和が増大する。したがって、

抵抗素子6による過大な電気エネルギーの減衰が大きくなる。すなわち、入力保護回路の信頼性を向上することができる。

なお、抵抗素子6とボンディングパッド7との接続部分および抵抗素子6と導電層8Eとの接続部分が、過大な電気エネルギーによって破壊されることはない。抵抗素子6と、ボンディングパッド7及び導電層8Eとの被着面積が充分に大きいので、抵抗素子6を破壊する程の電流集中が起こらないからである。

なお、本実施例では、抵抗素子6を4本のみ設けてある。しかし、これに限定されない。すなわち、抵抗素子6を4本以上設け、これらを直列接続してもよい。あるいは3本、あるいは2本でもよい。すなわち、抵抗素子6は複数本あればよい。

第2図及び第3図に示すように、抵抗素子6及びゲート電極12を絶縁膜13が覆っている。絶縁膜13は、例えばCVDによるリンシリケートガラス(PSG)膜からなる。導電層8を絶縁膜14が覆っている。絶縁膜14は、例えばCVD

によるPSG膜とこの上の窒化シリコン膜からなる。

【実施例II】

第4図は半導体集積回路装置の入力保護回路の平面図、第5図は第4図のA-A切断線における断面図、第6図は第4図のB-B切断線における断面図である。なお、第4図は構成を見易くするためにフィールド絶縁膜2以外の絶縁膜を図示していない。

実施例IIは、直線状の半導体領域からなる抵抗素子15を複数設け、これらを導電層8Eで直列接続したものである。

本実施例の抵抗素子15は、 n^+ 型半導体領域からなる。この抵抗素子15が複数形成してある。前記抵抗素子15、すなわち半導体領域は、MISFET4及びクランプ用MISFET5の n^+ 型半導体領域10と同一工程で形成したものである。また、抵抗素子15の表面にゲート絶縁膜11が形成してある。MISFET4及びクランプ用MISFET5のゲート絶縁膜11を形成する

際に抵抗素子15の表面が酸化されるからである。

第4図に示すように、個々の抵抗素子15が直線状をしている。このため、ボンディングパッド7から流入した過大な電気エネルギーが抵抗素子15内の一部に集中することがない。このため、電気エネルギーの集中による異常な熱の発生がない。したがって、抵抗素子15の熱的破壊を防止できる。すなわち、抵抗素子15の信頼性が向上する。

一方、抵抗素子15と半導体基板1との間でダイオードを構成している。このため、過大な電気エネルギーの一部は、抵抗素子15から半導体基板1内へ放出される。ところが、電流集中が起ると、その集中した部分から放出することになる。このため、放出する際の電流密度が大きくなり、異常な熱を発生する。すなわち、抵抗素子15と半導体基板1との間の接合を破壊する。しかし、本実施例によれば、過大な電気エネルギーを抵抗素子15と半導体基板1との接合面の略全面から放出する。前記のように、抵抗素子15内で電流

が集中しないため、ブレイクダウンが抵抗素子15と半導体基板1との接合面の全域で略同時に起るからである。すなわち、抵抗素子15と半導体基板1とで構成されるダイオードの信頼性が向上する。

なお、抵抗素子15は、 p^+ 型半導体領域で構成してもよい。この p^+ 型半導体領域からなる抵抗素子15は、 n^- 型半導体基板に形成すればよい。または p^- 型半導体基板1の表面に n^- 型ウエル領域を設け、このウエル領域に形成してもよい。また、抵抗素子15を p^+ 型半導体領域で構成する場合には、Pチャネル型MISFETのソース、ドレインと同一工程で形成すればよい。

すなわち、抵抗素子15は、半導体領域の導電型に限定されない。

一方、本実施例では、抵抗素子15間をアルミニウム層からなる導電層8Eで接続してあるが、多結晶シリコン層によって接続してもよい。この多結晶シリコン層は、MISFETのゲート電極12と同一工程で形成すればよい。したがって、

高融点金属、またはその高融点金属のシリサイドで接続してもよい。さらに、多結晶シリコン層の上に高融点金属又はそのシリサイドを設けて構成した導電層によって接続してもよい。抵抗素子15の端部のゲート絶縁膜11は、MISFET4及びクランプ用MISFET5のゲート電極12を形成する以前に選択的に除去して開口しておけばよい。

〔効果〕

本願によって開示された新規な技術によれば、次の効果を得ることができる。

(1)、複数の直線状の抵抗素子とその抵抗素子と異なる導電層で直列に接続したことにより、抵抗素子内で電流が集中することがなくなるので、電流集中による抵抗素子の破壊を防止して抵抗素子の信頼性を向上することができる。

(2)、入力保護回路を構成する抵抗素子を、複数の直線状の抵抗素子とし、それらを並列に配置し抵抗素子と異なる導電層で直列接続したことにより、ボンディングパッドとクランプ用MISFET

Tまたはバッファ回路等を構成するMISFETとの間が縮小されるので、半導体集積回路装置の集積度を向上することができる。

(3)、直線状の抵抗素子複数設けそれを直列接続したことにより、抵抗素子による過剰な電気エネルギーの減衰率が大きくなるので、入力保護回路の信頼性を向上することができる。

(4)、直線状の半導体領域からなる抵抗素子を導電層で直列接続したことにより、前記半導体領域と半導体基板とで構成されるダイオードのブレイクダウンが、半導体領域の接合面の略全域で生じるので、前記ダイオードのブレイクダウンによる破壊を防止して入力保護回路の信頼性を向上することができる。

以上、本発明を実施例にもとずき具体的に説明したが、本発明は前記実施例に限定されるものではなくその要旨を逸脱しない範囲において種々変形可能であることはいうまでもない。

例えば、前記実施例は、抵抗素子に接続された半導体素子をMISFETとしたが、抵抗素子に

接続する半導体素子はバイポーラトランジスタでもよい。さらに、半導体基板の導電型に限定されるものではない。また、抵抗素子とボンディングパッドとの間にクランプ用MISFETを設けてもよい。また、クランプ用MISFETの代りにPN接合ダイオード等の他の適当なスイッチ素子を用いてもよいことはいうまでもない。

図面の簡単な説明

第1図は実施例Ⅰの半導体集積回路装置の入力保護回路の平面図、

第2図は第1図のA-A切断線における断面図、

第3図は第1図のB-B切断線における断面図である。

第4図は実施例Ⅱの半導体集積回路装置の入力保護回路の平面図、

第5図は第4図のA-A切断線における断面図、

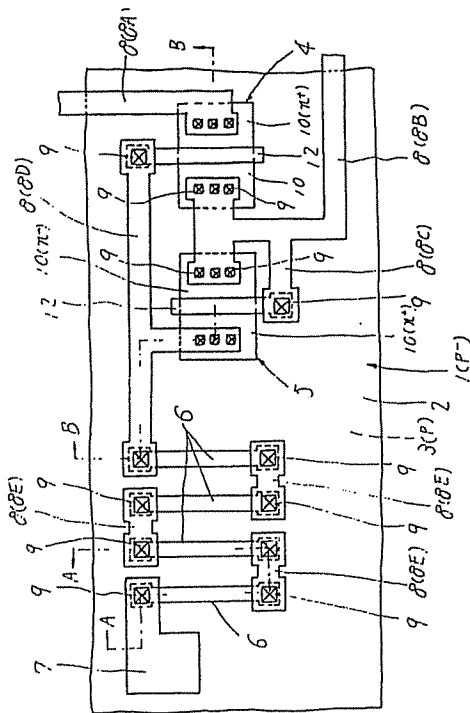
第6図は第4図のB-B切断線における断面図である。

1…半導体基板、2…フィールド絶縁膜、3…チャネルストッパ領域、4…MISFET、5…ク

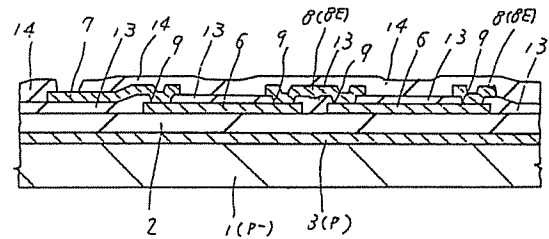
ランプ用MISFET、6、15…抵抗素子、7…ボンディングパッド、8…導電層、9…接続孔、10…半導体領域、11、13、14…絶縁膜、12…ゲート電極。

代理人 井理士 小川勝男

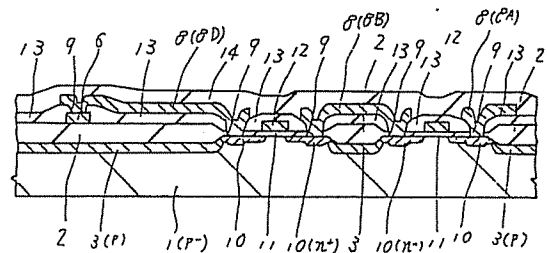
第 1 図



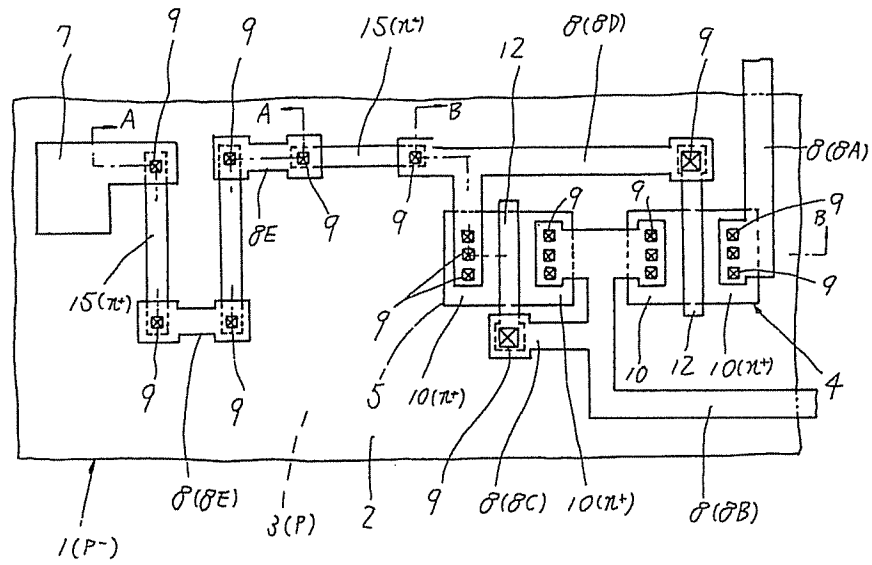
第 2 図



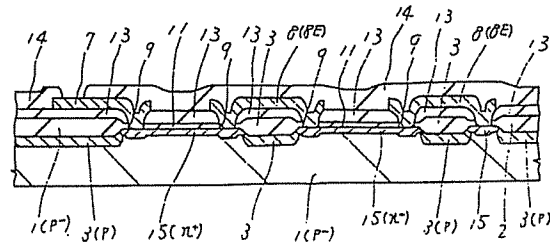
第 3 図



第 4 図



第 5 図



第 6 図

